

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007177181

WI Acc No: 1987-174190/198725

Thin-film transistor for active-matrix LCD panel - has semiconductor active layer in which ionised element is injected

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62105474	A	19870515	JP 85245847	A	19851031	198725 B

Priority Applications (No Type Date): JP 85245847 A 19851031

Patent Details:

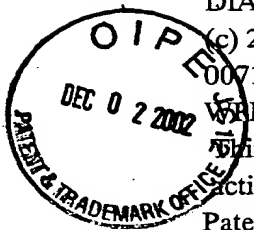
Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 62105474	A	25		

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; MATRIX; LCD; PANEL;  
SEMICONDUCTOR; ACTIVE; LAYER; IONISE; ELEMENT; INJECTION

Derwent Class: U12; U14

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: EPI



RECEIVED  
DEC - 4 2002  
TC 2800 MAIL ROOM

.DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02188574     \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.:     62-105474 [JP 62105474 A]

PUBLISHED:     May 15, 1987 (19870515)

INVENTOR(s): IGUCHI KATSUJI

SATO HIROYA

KUBOTA YASUSHI

KOBA MASAYOSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     60-245847 [JP 85245847]

FILED:     October 31, 1985 (19851031)

INTL CLASS:     [4] H01L-029/78; H01L-027/12

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:     Section: E, Section No. 548, Vol. 11, No. 312, Pg. 135,  
October 12, 1987 (19871012)

#### ABSTRACT

**PURPOSE:** To simplify a manufacturing process and increase the selection freedom of materials to be used, by constituting the electrode layer of semiconductor device with several layers containing polycrystalline layer and conductor layer.

**CONSTITUTION:** In a thin-film transistor, a gate insulating film 4 is formed coating an active layer 3 composed of polycrystalline silicon, etc. on a glass substrate 2. On the position corresponding to the active layer, an electrode 7 composed of a polycrystalline silicon layer 5 and a conductor layer 6 is formed. By coating this electrode 7, an insulating film is formed. A source electrode 9 and a drain electrode 10 connected electrically to the active layer 3 are formed. The transistor 1 capable of high speed response is obtained, by forming the polycrystalline silicon layer 5 so thinly as to satisfy the relation,  $\epsilon_p/d_p > \epsilon_i/d_i$ , where  $d_p$  and  $\epsilon_p$  are the film thickness and the dielectric constant of the polycrystalline silicon layer 5 respectively, and  $d_i$  and  $\epsilon_i$  are the film thickness and the dielectric constant of the gate insulating layer 4 respectively.

31(3)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-105474

⑬ Int.Cl.<sup>4</sup>

H 01 L 29/78  
27/12

識別記号

庁内整理番号

8422-5F  
7514-5F

⑭ 公開 昭和62年(1987)5月15日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-245847

⑰ 出 願 昭60(1985)10月31日

⑱ 発 明 者	井 口	勝 次	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	佐 藤	浩 哉	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	久 保	田 靖	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	木 場	正 義	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 出 願 人	シャープ株式会社			大阪市阿倍野区長池町22番22号
⑲ 代 理 人	弁理士 西教 圭一郎			外2名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

電気絶縁性材料から成る基材の一表面上に形成され、多結晶材料から成る半導体活性層であって、半導体活性層を形成する元素とは価電子数の異なる元素がイオン化して注入された、そのような半導体活性層と、

基材の前記一表面で半導体活性層を被覆する第1電気絶縁層と、

第1電気絶縁層上の前記半導体活性層と対応する位置に選択的に形成され、第1電気絶縁層側から少なくとも多結晶半導体と導電体層とから成る電極層と、

第1電気絶縁層上で、前記電極層を被覆する第2電気絶縁層と、

前記半導体活性層と電気的に導通する電極とを含むことを特徴とする半導体装置。

前記半導体活性層と電気的に導通する電極とを含むことを特徴とする半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、たとえばアクティブマトリックス駆動方式の液晶表示装置などにおいて、各画素毎のスイッチング手段として好適に用いられる薄膜トランジスタなどの半導体装置に関する。

背景技術

近年、液晶表示装置の大面積化が進み、これまでの時分割駆動方式に替えて、スイッチング素子を利用したいわゆるアクティブマトリックス駆動方式が採用されている。その結果、いわゆる液晶テレビジョン受信機などのように、数万画素を超える画素数を有する表示装置が可能となっている。このようなアクティブマトリックス駆動方式では、各画素毎に、たとえばトランジスタなどのスイッチング素子を形成する必要がある。特にたとえばツイステッドネマティック型の液晶材料を利用するような透過型の表示装置では、ガラスまたは熔融石英などの透明非晶質基板の上に、薄膜スイッチング手段を形成する必要がある。

従来では、このような薄膜スイッチング素子と

して薄膜トランジスタを用いる場合、その活性層を形成する材料として、酸素族化合物（カルコゲナイド）、水素化非晶質シリコン、多結晶シリコンなどが考えられている。このような材料の中で、いわゆるトランジスタ特性や動作の安定性などの面で、多結晶シリコンが優れていることが知られている。特に、前述したように、アクティブマトリックス駆動方式の液晶表示装置などにおいて、スイッチングトランジスタの駆動回路を含んで薄膜回路として形成する場合には、動作速度の優れている多結晶シリコンが重要視されている。すなわち多結晶シリコンは、たとえば非晶質シリコンと比べて約10倍以上の動作速度を有するからである。

一方、多結晶シリコンの薄膜トランジスタ形成技術としては、従来では金属-酸化膜-半導体型大規模集積回路（以下MOS-LSIと略称する）製造技術が応用されていたため、多結晶シリコンの薄膜トランジスタ製造過程における最高温度は約1000℃に達し、そのため非晶質基板として

-3-

行なう必要がある。しかしながら、600℃以下の熱処理では、注入された不純物の活性化の効率が充分大きくできず、ゲート電極の低抵抗化には限界がある。

また上述のような低温域熱処理では、イオン注入時に発生するゲート絶縁膜と活性層多結晶シリコンへのたとえば放射損傷を、完全に回復することが困難であった。このような理由によって、多結晶シリコンを用いたゲート電極を、低温域で実現することは困難であった。一方、低温域熱処理においては、電極材料の選択範囲が拡大されるので、ゲート電極として金属、金属-シリコン合金および金属-シリコン化合物などの低抵抗値の導電体を利用することが考えられている。

これらの導電体材料は、ゲート電極と前記活性層との間に形成されるゲート絶縁膜との良好な密着性、加工性、またゲート絶縁膜に対する選択的な加工性などが良好であることが求められている。また、トランジスタ特性を向上し、製造に伴う歩留まりを向上する上で、いわゆるセルフアライン

高価な溶融石英を使わず、より安価で大面積化が容易なガラス基板を用いるために、たとえば600℃以下の低温域で実現可能な薄膜トランジスタ製造技術が希望されていた。

発明が解決しようとする問題点

多結晶シリコン薄膜トランジスタを、上述したような低温域で形成する場合に発生する問題点について以下に述べる。多結晶シリコン薄膜トランジスタを製造するにあたって、前述のようなMOS-LSI製造技術を用いる場合、多結晶シリコンによってゲート電極を形成するために、ドーピングすべき不純物を、拡散法またはイオン注入法によって多結晶シリコンに注入し、これによってゲート電極として用いる多結晶シリコンの低抵抗化を図っていた。

一方、前述したように、希望されている低温域製造技術では、約1000℃前後の熱処理を必要とする拡散法を用いることはできない。また、イオン注入法を用いれば、約600℃以下の温度域における熱処理によって、注入不純物の活性化を

-4-

メント方式の製造技術、すなわち薄膜トランジスタを製造する際に、最初にゲート電極を形成し、この形成されたゲート電極をマスクとして、ソース電極およびドレイン電極を形成する技術が選れており、したがってイオン注入によって形成されたソース領域およびドレイン領域に関して、不純物活性化時の熱処理に対する耐性が求められている。

したがって本発明の目的は、上述の問題点を解決し、比較的低温域の製造技術で製造されることができ、製造が容易かつ安価であって、使用に伴う信頼性が向上された半導体装置を提供することである。

問題点を解決するための手段

本発明は、電気絶縁性材料から成る基材の一表面上に形成され、多結晶材料から成る半導体活性層であって、半導体活性層を形成する元素とは価電子数の異なる元素がイオン化して注入された、そのような半導体活性層と、

基材の前記一表面で半導体活性層を被覆する第

## 1 電気絶縁層と、

第1電気絶縁層上の前記半導体活性層と対応する位置に選択的に形成され、第1電気絶縁層側から少なくとも多結晶半導体と導電体層とから成る電極層と、

第1電気絶縁層上で、前記電極層を被覆する第2電気絶縁層と、

前記半導体活性層と電気的に導通する電極を形成したことを特徴とする半導体装置である。

## 作 用

本発明になる半導体装置は、電気絶縁性材料から成る基材の一表面上に、多結晶材料から成る活性層を形成し、基材の前記一表面上で活性層を被覆して第1電気絶縁層を形成する。この第1電気絶縁層上の前記活性層と対応する位置に、第1電気絶縁層側から、少なくとも多結晶半導体層と導電体層とから成る電極層が形成される。前記活性層には、活性層を形成する元素とは価電子数の異なる元素が、イオン化して注入され、前記第1絶縁層上で前記電極層を被覆する第2電気絶縁層を

形成し、この第2電気絶縁層を介して、前記活性層と電気的に導通する電極を形成するようにした。

前記電極を構成する導電体層には、イオンが注入されて低抵抗化される。このようなドーピング操作は、たとえば600℃以下の比較的低温領域で行なうことができる。このように低温領域で処理を行なった場合であっても、電極層に導電体層を含んで形成しているので、電極層全体の抵抗を抑制することができるとともに、製造工程も簡略化され、使用に伴う信頼性も向上することができる。

## 実施例

本発明の要点は、基材であるたとえばガラス基板上の金属-絶縁膜-半導体（以下MISと略称する）電界効果形トランジスタなどの半導体装置において、たとえばゲート電極として金属または金属-シリコン合金または金属-シリコン化合物などの導電体と多結晶シリコンとの2層構造によつて実現することである。以下に、このような2層構造を実現できる原理について説明する。

-7-

上述したようにMIS電界効果形トランジスタなどのいわゆる薄膜トランジスタを製造する場合、通常ゲート絶縁膜として二酸化シリコン $\text{SiO}_2$ 膜が用いられる。このとき、一般に二酸化シリコンと反応性の高い金属ほど、二酸化シリコンとの密着性が良好である。たとえばアルミニウム $\text{Al}$ またはアルミニウム-シリコン合金は、二酸化シリコンに対して極めて良好な密着性を示すけれども、これらはたとえば約500℃以上の温度で反応してしまう。したがってこのような金属または合金の単一材料から成るゲート電極では、熱処理などに対する耐性が低く、いわゆるセルアラインメント方式（すなわちまずゲート電極を形成し、この形成されたゲート電極をマスクとしてドレイン電極およびソース電極などを形成する製造方式）を用いた薄膜トランジスタの形成過程では、用いることができない。

一方、モリブデン $\text{Mo}$ 、およびタンゲステン $\text{W}$ などの高融点金属は、二酸化シリコンとの反応性が低いけれども二酸化シリコンに対する密着性が低

-8-

い。したがってこれらの導電体層と絶縁膜との間に、多結晶シリコン薄膜を介在させることによつて、一方では前記導電体と絶縁膜との密着性を向上し、他方では導電体と絶縁膜との前記熱処理過程などにおける反応を抑制し、安定して動作するゲート電極を構成することが目的である。

第1図は本発明の原理を説明する薄膜トランジスタ1の断面図である。薄膜トランジスタ1は、たとえばガラス基板2上に多結晶シリコンなどから形成される半導体活性層である活性層3を有する。活性層3を被覆して、二酸化シリコンなどから成る第1電気絶縁層であるゲート絶縁膜4を形成する。ゲート絶縁膜4上の前記活性層3に対応する位置には、多結晶シリコン層5、および金属または金属-シリコン合金または金属-シリコン化合物などの導電体層6から成る電極層7が形成される。この電極層7を被覆して、第2電気絶縁層である絶縁膜8が形成され、この絶縁膜8に関連して前記活性層3と電気的に導通されるソース電極9およびドレイン電極10が形成される。

このような構成を有する薄膜トランジスタ1において、形成する多結晶シリコンから成る活性層3および多結晶シリコン層5を低温度域で製造する場合、高濃度の不純物が添加された多結晶シリコンの利用は極めて困難である。すなわち前述したように、低温度域の熱処理では、活性化効率が充分大きくできず、ゲート電極層7の低抵抗化には限界があり、またイオン注入に伴うゲート絶縁膜4および活性層3の放射損傷の発生などの損害を充分に回復することが困難であった。このような不純物が添加されていない多結晶シリコンは、通常 $10^{-4}\Omega\text{cm}$ 以上の比抵抗を有し、比較的高抵抗であることから、このような薄膜トランジスタの動作速度を低下させることが考えられる。

すなわち不純物をドーピングした多結晶シリコンは、たとえば $2\sim5\Omega\text{cm}$ の比抵抗を有するにすぎない。また多結晶シリコン層が空乏化し、ゲート絶縁膜4に加えられる電位差が小さくなるおそれがある。この場合、ゲート絶縁膜4において、電圧印加に伴って発生するキャリアの密度が減

少し、したがって動作速度が低下してしまう恐れがある。

このような危険性は、前記多結晶シリコン層5の膜厚を適切に選択することによって回避することができる。すなわち多結晶シリコン層5の静電容量が、ゲート絶縁膜4の静電容量に比べて充分大きいならば、ゲート電極層7に印加される電圧のほとんどは、ゲート絶縁膜4に加えられることになる。すなわち電極層7に与えられる電圧に関して、多結晶シリコン層5およびゲート絶縁膜4の各分圧電圧は、それぞれの容量と反比例するからである。

ここで多結晶シリコン層5の膜厚および誘電率をそれぞれ $d_p$ ,  $\epsilon_p$ とすれば、多結晶シリコン層5の最小の容量は、単位面積当たり $\epsilon_p/d_p$ であり、またゲート絶縁膜4の膜厚および誘電率をそれぞれ $d_i$ ,  $\epsilon_i$ とすると、ゲート絶縁膜4の単位面積当たりの容量は $\epsilon_i/d_i$ である。したがってこれらの単位面積当たりの容量の間に、下式の関係が成立すればよい。

-11-

$$\epsilon_p/d_p \gg \epsilon_i/d_i \quad \dots (1)$$

第1式において膜厚 $d_p$ ,  $d_i$ に着目すれば、下式が得られる。

$$(\epsilon_p/\epsilon_i)d_i \gg d_p \quad \dots (2)$$

また、ゲート絶縁膜4の容量充電時では、ゲート絶縁膜4と多結晶シリコン層5との容量と、多結晶シリコン層5の抵抗とによって定まる時定数を有する電圧変動の程度は、多結晶シリコン層5に印加される電圧程度であり、したがって第2式が成立する条件の下では、この電圧変動の程度は充分小さいので、実際上無視できる程度となる。

一方、ゲート容量放電時の時定数は、ゲート絶縁膜4の容量と多結晶シリコン層5の抵抗とで決定され、下式の $\tau$ で表される。

$$\begin{aligned} \tau &= (\epsilon_i/d_i)(d_p/\sigma_p) \\ &= (d_p/d_i)(\epsilon_i/\sigma_p) \quad \dots (3) \end{aligned}$$

$\sigma_p$  : 多結晶シリコン層5の導電率。

ここで前記第1式が成立すれば、時定数 $\tau$ は $\epsilon_p/\sigma_p$ よりも充分小さいことになる。すなわち不純物が添加されていない多結晶シリコン層5の導

-12-

電率 $\sigma_p$ は $10^{-4}(\Omega\text{cm})^{-1}$ 程度であり、多結晶シリコンの比誘電率を単結晶シリコンと同じく11.9とすれば、 $\epsilon_p/\sigma_p$ は $1\mu\text{sec}$ となり、充分高速応答を行なうことができる。

また周波数が $\sigma_p/\epsilon_p$ 以上の動作では、一般に多結晶シリコン膜の抵抗成分は容量成分に比べて無視できるようになる。これは抵抗成分と容量成分とのコンダクタンスを考えれば、容量成分は印加される電圧の周波数に比例するコンダクタンスを有し、抵抗成分のコンダクタンスは周波数に依存しないからである。すなわち容量成分のコンダクタンスが大きくなるに従い、一定値を維持する抵抗成分の値が相対的に減少し、無視できることになる。したがって多結晶シリコン層5をむしろ絶縁体とみなすことができ、前記第1式が充足されている限り、動作上何等支障となることはない。

以上のように第1図に示した薄膜トランジスタ1において、電極層7をたとえば多結晶シリコン層5と導電体層6とから成る2層構造とすることによって、ゲート絶縁膜4との密着性に優れ、か

つ安定した品質を維持することができる薄膜トランジスタを実現することができる。また電極層7を構成する多結晶シリコン層5は、低抵抗であることが望ましいけれども、不純物が添加されていない高抵抗の多結晶シリコン層5であっても、上述したように支障なく用いることができる。この場合、多結晶シリコン層5を前記第1式の条件をみたすように薄く形成することによって、動作速度の点においても充分高速応答が可能な薄膜トランジスタ1を得ることができる。

第2図および第3図は第1図を参照して説明した2層構造の電極層7の特性を説明する断面図である。本件発明者らは、上述した2層構造のゲート電極の特性を検証するために、以下のような実験を行なった。酸洗浄したN形単結晶シリコンウェハ11a, 11bを、乾燥酸素雰囲気中で900℃で熱酸化し、約600Åの酸化膜12a, 12bを形成した。次に酸化膜12a上に、窒素希釈のモノシランSiH<sub>4</sub>を用いる減圧化学的気相成長法(以下CVD法と略称する)によって、620℃で

-15-

1組のシリコンウェハ11a, 11bについて、電流-電圧特性、高周波容量の電圧依存性および静電容量の電圧依存性を測定し、それぞれのキャパシタの耐圧、フラットバンド電圧および熱酸化膜/単結晶シリコン界面単位の評価を行なった。下記の第1表に評価結果を示す。

第 1 表

電極	熱処理	耐圧	FB電圧	界面単位
AlSi	440℃ 30分	8MV/cm 以上	-0.35V	$3.1 \times 10^{11}$ /cm <sup>2</sup> eV
AlSi	500℃ 75分	ショート		
AlSi/ poly-Si	440℃ 30分	8MV/cm 以上	-0.44V	$1.5 \times 10^{11}$ /cm <sup>2</sup> eV
AlSi/ poly-Si	500℃ 75分	8MV/cm 以上	-0.31V	$1.8 \times 10^{11}$ /cm <sup>2</sup> eV

上記第1表から明らかなように、アルミニウム-シリコン合金単層から成る電極14bでは、500℃以上の熱処理で電極14bのアルミニウムと酸化膜12aの二酸化シリコンとが反応し、シ

約500Åの多結晶シリコン膜13を形成した。

これらのシリコンウェハ11a, 11b上に、アルミニウム-シリコン合金をスパッタリング法によって5000Åの膜厚で形成し、フォトリソグラフィ法によって、いわゆるガードリングを有する0.8mmφの円形電極を形成するレジストパターンを形成した。次に前記アルミニウム-シリコン合金薄膜を、リン酸系のエッチング液でエッチングし、多結晶シリコン膜13を有するシリコンウェハ11aについて六フッ化硫黄SF<sub>6</sub>ガスを用いるプラズマエッチング法によって多結晶シリコン膜13をエッチングした。これらシリコンウェハ11a, 11bを、それぞれ2組ずつ準備する。

1組のシリコンウェハ11aの一方には、水素雰囲気中で440℃、30分の熱処理を行ない、他方にはやはり水素雰囲気中で500℃、75分の熱処理を行なった。また他方の1組のシリコンウェハ11bについて、それぞれ同様の熱処理を行なった。このように熱処理が施されたそれぞれ

-16-

シリコン基板11bと、金属電極14bとが短絡してしまう。

一方、多結晶シリコン膜13が介在される場合には、このような金属電極14とシリコン基板11との短絡現象が発生することが防がれている。またこのような多結晶シリコン膜13が介在されている場合には、界面単位が減少し、キャパシタ特性が向上されている。また多結晶シリコン膜13の付加によるフラットバンド電圧の顕著な変化は検出されない。このようにアルミニウム-シリコン合金/多結晶シリコンの2層構造の金属電極14を用いることによって、500℃の熱処理にも耐える良好なMOS構造を形成することができる。

このような実験を、金属電極14の材料としてモリブデンMoおよびタングステンWについても同様に実施した。以下、第2図を参照して説明する。酸化膜12b上に直接形成したタングステンは、酸化膜12bに密することなく剥離し、キャパシタが形成されなかった。またモリブデンにつ



いては、金属電極14bとして形成する際のスパッタリングにおける条件を工夫して、剥離を防止することができたけれども、酸化膜12bに対する密着性は、比較的低いことが確かめられた。

しかしながら第3図に示した構造のように、金属電極14aと酸化膜12aとの間に、多結晶シリコン層13を形成した場合、金属電極14を形成するに、モリブデンおよびタンゲステンのいずれをスパッタリングで形成する場合であっても、スパッタリングの条件によらず密着性は向上された。またキャパシタ特性では、前述したようなアルミニウム-シリコン合金の場合にも見られるように、多結晶シリコン膜13が存在する場合の方が、界面位が若干少なく良好なMOS特性が得られている。これはたとえばスパッタリング時における照射損傷が、多結晶シリコン膜13の存在によって軽減される結果であると考えられる。

第4図は第1図に示した薄膜トランジスタ1の製造工程を説明する断面図である。第1図および第4図を参照して、薄膜トランジスタ1の製造工

-19-

ン合金を5000Å堆積した後、フォトリソグラフィ法によって、電極層7を構成する多結晶シリコン層5および導電体層6とを残し、残余の部分をエッチングして除去した。この断面は第4図(3)に示される。

後述されるイオン注入時の汚染防止用に常圧CVD法によって500Åの二酸化シリコン膜15を形成し、ボロンイオン(B<sup>+</sup>)を70keVで3×10<sup>15</sup>個/cm<sup>2</sup>だけ活性層3に注入した。この段階の断面は、第4図(4)に示される。

前記二酸化シリコン膜15の表面を200Åの深さでエッチングした後、層間絶縁膜となる二酸化シリコン膜を常圧CVD法によって5000Åの膜厚で絶縁膜8として形成した。この後、前記活性層3に注入したボロンの活性化のために、酸素雰囲気中で500℃、1時間の炉アニールを行った。この段階の断面は、第4図(5)に示される。

次にソース電極およびドレイン電極を構成するため、絶縁膜8およびゲート絶縁膜4を貫通して、

程について説明する。たとえばホウケイ酸ガラスなどのガラス基板2を有機洗浄し、次に酸洗浄した後、真空蒸着法によって多結晶シリコンを1000Åで形成する。この形成条件は基板温度500℃で真空度3×10<sup>-3</sup>Pa、成膜速度1Å/secである。このように形成された多結晶シリコンを、フォトリソグラフィ法を用い、六フッ化硫黄ガスを用いるプラズマエッチング法によって、活性層3を形成し残余の部分を除いた。この段階の断面は、第4図(1)に示される。

次にガラス基板2の表面に、活性層3を被覆して二酸化シリコン膜を形成した。この形成はモノシランガスと酸素ガスとによる常圧CVD法を用い、基板温度420℃、二酸化シリコン膜厚1000Åを形成し、ゲート絶縁膜4として形成した。この断面図は、第4図(2)に示される。

ゲート絶縁膜4の表面で前記活性層3と対応する位置に、前述の条件と同条件で真空蒸着法を用いて多結晶シリコン膜を500Å堆積し、次にスパッタリング法によって、アルミニウム-シリコ

-20-

活性層3の表面に到達する透孔16、17をフォトリソグラフィ法によつて形成する。この後、アルミニウム-シリコン合金膜を5000Å堆積した後、再びフォトリソグラフィ法によって、ソース電極18およびドレイン電極19を、所望の形状に形成した。この状態の断面図は、第4図(6)に示される。その後、酸素雰囲気中で440℃、30分のアニーリングを行った。

以上述べたような薄膜トランジスタ1の製造工程は、全て500℃以下の温度域で行なわれており、電極層7にアルミニウム-シリコン合金を用いつつ、前述したようなセルフアラインメント方式で、ソース電極18およびドレイン電極19が形成された。したがって電極層7の配線抵抗を充分小さく抑制することができるとともに、多結晶シリコン単体によって前記電極層7を形成した場合と異なり、活性層3におけるチャネル領域20(第4図で二重斜線を付して示す)への放射損傷を抑制でき、良好なMOS特性を実現することができ

第5図は前述したような製造工程によって製造された薄膜トランジスタ1のソース・ドレイン電流のゲート電圧依存性を示すグラフである。第4図および第5図を参照する。ここで、第4図に示した製造工程によって製造された薄膜トランジスタ1において、チャネル長は4 $\mu$ m、チャネル幅は6 $\mu$ m、ソース電極18に対するドレイン電極19のバイアス電圧は、-0.8Vである。この条件下で前記ゲート電圧依存性は、ライン1で示されている。このライン1で示されるように、薄膜トランジスタ1のオン/オフ切換えに伴うソース・ドレイン電流の比は、10<sup>3</sup>程度の値を有する。また移動度も8.6cm<sup>2</sup>/Vsecとなり、極めて良好な特性を示している。

上述の実施例では、たとえば導電体層6を形成するに、アルミニウム-シリコン合金を用いたけれども、その他チタンTi、モリブデン、タンゲステン、タンタルTa、ジルコニウムZr、アルミニウムなどの金属、またはこれらの金属を主成分とする合金、またはこれらの金属とシリコンとの化

-23-

#### 効果

以上のように本発明に従えば、半導体装置の電極層を多結晶層と導電体層とを含んだ複數層で構成するようにした。したがって、フォトリソグラフィ法などを用いる回数を格段に低減して、製造工程が簡略化されるとともに、このような製造工程を比較的低温領域で行なうことができ、用いる材料の選択の幅を格段に拡張することができる。また使用に伴う信頼性を格段に向上することができた。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の薄膜トランジスタ1の断面図、第2図および第3図は本発明の原理を説明するための断面図、第4図は薄膜トランジスタ1を製造する工程を説明する断面図、第5図は薄膜トランジスタ1のソース・ドレイン電流のゲート電圧への依存性を説明するグラフである。

1…薄膜トランジスタ、2…ガラス基板、3…括性層、4…ゲート絶縁膜、5…多結晶シリコン層、6…導電体層、7…電極層、9…ソース電極、

-25-

合物などの高導電性を有する材料を用いるようにしてもよい。また前述の実施例では、電極層7は2層構造としたけれども、このような2層構造に限らず、モリブデン/モリブデンシリサイド/多結晶シリコンなどのような3層構造であってもよい。また、ゲート絶縁膜4として、前述の実施例では常圧CVD法による二酸化シリコン膜を形成したけれども、その他プラズマCVD法、減圧CVD法、光CVD法、スパッタリング法などで形成されたシリコン酸化膜SiO<sub>x</sub>、シリコン窒化膜SiN<sub>x</sub>、シリコン酸窒化膜SiO<sub>x</sub>N<sub>y</sub>、アルミナAl<sub>2</sub>O<sub>3</sub>または窒化アルミニウムAlNなどを用いるようにしてもよい。また本発明は、用いられる多結晶シリコンおよび導電体などの種類および製造方法を何等限定するものではない。

また本発明は、ゲート電極構造に関し、トランジスタ製造時のチャネル部分へのドーピングの有無やソース、ドレイン電極への注入不純物量および注入される不純物の元素の種類を限定するものではない。

-24-

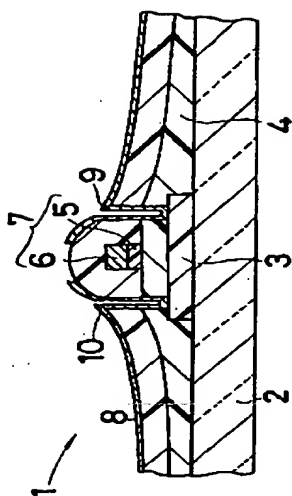
10…ドレイン電極、20…チャネル領域

代理人 弁理士 西教 圭一郎

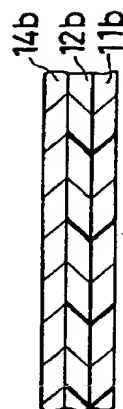
-423-

-26-

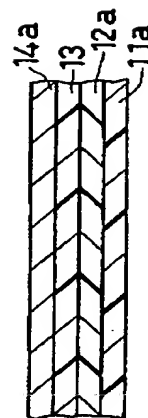
図面の浄書(内容に変更なし)



第 1 図

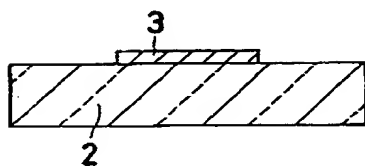


第 2 図

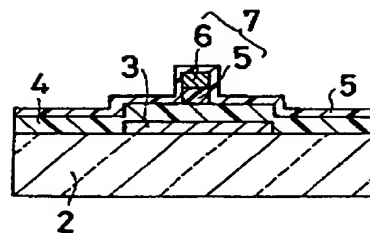


第 3 図

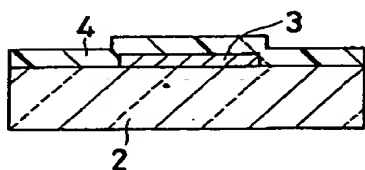
(1)



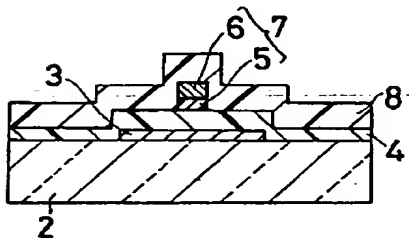
(4)



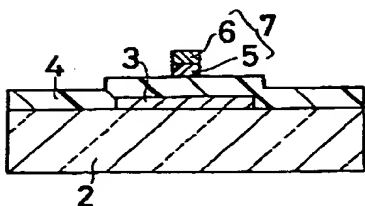
(2)



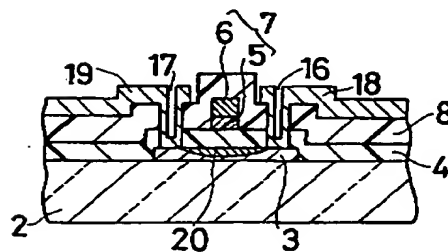
(5)



(3)



(6)



第 4 図

第 4 図

手 続 補 正 書 (方式)

昭和61年 2月 3日

特 許 庁 長 官 殿

1、事 件 の 表 示

特 願 昭 6 0 - 2 4 5 8 4 7

2、発 明 の 名 称

半 導 体 装 置

3、補 正 を す る 者

事 件 と の 関 係 出 願 人

住 所

名 称 (504) シ ャ ー プ 株 式 会 社

代 表 者

4、代 理 人

住 所 大 阪 市 西 区 西 本 町 1 丁 目 1 3 番 3 8 号 新 興 産 ビ ル

国 際 T E L E X 0 5 2 5 - 5 9 8 5 I N T A P T J

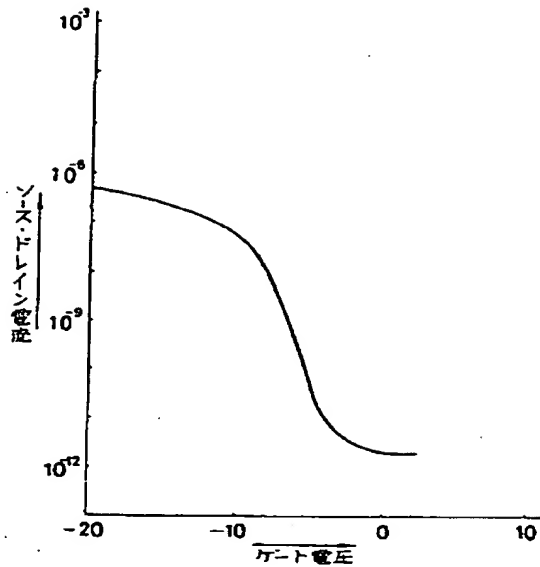
国 際 F A X G I I & G I I ( 0 6 ) 5 3 8 - 0 2 4 7

電 話 ( 0 6 ) 5 3 8 - 0 2 6 3 ( 代 表 )

氏 名 弁 理 士 ( 7 5 5 5 ) 西 教 圭 一 郎

5、補 正 命 令 の 日 付

昭和61年 1月28日(発送日)



第 5 図

6、補 正 の 対 象

図 面

7、補 正 の 内 容

図面の浄書(内容に変更なし)。

以 上